

2.2. SPARTES_

Titre : Safe and ProgrAmmable Real-Time Embedded System

Porteur du projet : Sébastien PILLEMENT

Laboratoire : IETR (UMR 6164), équipe Systèmes de Communications Numériques

Laboratoire associé : LS2N (UMR 6004), équipe Systèmes Temps-Réel (STR)

Doctorant : Dimitry SOLET

Encadrant : Sébastien PILLEMENT (IETR) Mikael BRIDAY (LS2N)

Mots clés : sûreté de fonctionnement, tolérance aux fautes, architectures reconfigurables, système d'exploitation temps réel

Verrous scientifiques ou technologiques levés :

Etat :

2.2.1. Résumé du projet

Les systèmes embarqués sont en charge de missions de plus en plus critiques qui impliquent qu'ils ne doivent pas avoir de défaillance. On peut penser aux objets qui seront utilisés dans le domaine médical (une erreur pourrait avoir des conséquences sur la santé du patient), ou aux objets qui opéreront dans un environnement difficile (pour lesquels les actions de maintenance seront dangereuses voire impossibles). Il est donc nécessaire de mettre en œuvre des mécanismes de tolérance aux fautes permettant de détecter les fautes et ainsi pouvoir rétablir le système.

Le projet SPARTES (Safe and ProgrAmmable Real-Time Embedded Systems) a pour objectif de permettre aux objets de continuer à fonctionner malgré l'apparition de fautes. Dans ces travaux, on propose de mettre en œuvre un mécanisme de détection des erreurs qui surviennent au niveau du logiciel. Ce mécanisme est basé sur l'implémentation d'un service de vérification en ligne. L'architecture matérielle du système est un système sur puce qui intègre un microcontrôleur et un circuit logique programmable. Le programme est instrumenté afin de transmettre, vers le circuit logique, les informations adéquates sur son exécution.

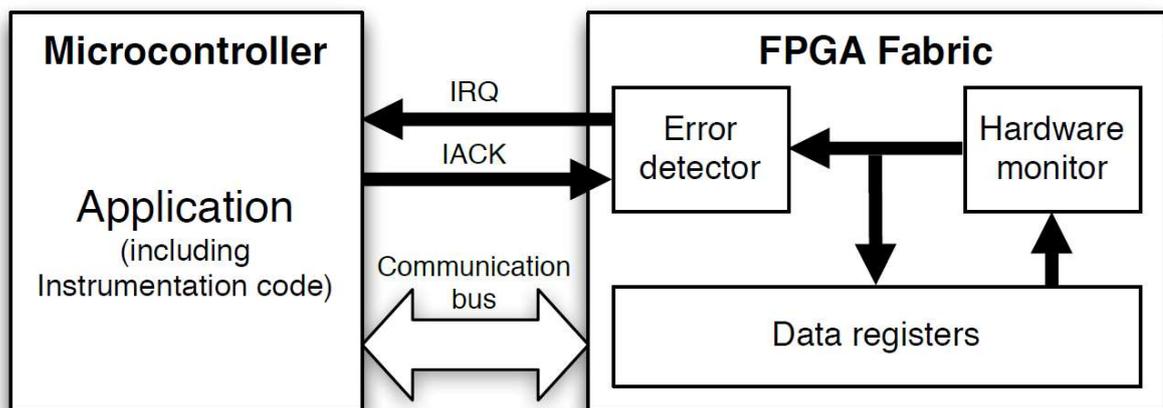


Figure 9. SPARTES : Architecture de la plateforme matérielle

2.2.2. Résultats du projet

2.2.2.1. Résumé des travaux de thèse

Dans le projet un flot de conception pour générer des périphériques de sûreté, qui seront embarqués dans les objets connectés, pour les surveiller a été développé. Ce flot de conception utilise des algorithmes

AAP 2016- SPARTES : Safe and ProgrAmmable Real-Time Embedded System

mathématiquement prouvés pour assurer la qualité des périphériques. Ces blocs matériels spécifiques sont implémentés à l'aide de circuits électroniques reconfigurables, d'une part pour permettre leur mise-à-jour, et d'autre part pour limiter le coût de production des objets connectés. Les périphériques de fiabilité sont eux-mêmes conçus pour résister aux erreurs matérielles qui pourraient provoquer des dysfonctionnements lors de leur vie opérationnelle.

L'ensemble des développements du projet sont mis à disposition sous la forme d'un prototype matériel et logiciel open source.

L'application à vérifier s'exécute sur le microcontrôleur. Son observation est basée sur l'écriture d'un ensemble de registres de données (Data register) implémenté sur le FPGA afin de récupérer les informations nécessaires sur l'exécution de l'application. Cette observation est réalisée par : (1) l'ajout de lignes de code dans l'application qui vont écrire sur les registres du FPGA afin d'indiquer des événements logiciels (appel d'une fonction par exemple) ou (2) l'allocation des variables à surveiller directement sur le FPGA. Cette approche n'induit pas de coûts temporels lors de l'exécution.

Ce projet a permis le début d'une collaboration entre l'équipe STR du LS2N et SySCom de l'IETR. Cette collaboration se poursuit aujourd'hui autour de la conception de nœuds de capteurs intégrant des mémoires non-volatile, afin de permettre la conception de systèmes n'intégrant pas de batteries. Une suite à ces travaux est envisagée notamment avec l'équipe CDSI du TIMA. Nous avons initié une collaboration avec cette équipe lors du projet SPARTES sans pour autant l'avoir formalisée.

2.2.2.2. Publications

Ces travaux ont donné lieu à 3 publications en conférence internationale avec comité de lecture :

- IEEE Symposium on Industrial Embedded Systems (SIES 2016)
- European Dependable Computing Conference (EDCC 2018)
- NASA/ESA Conference on Adaptive Hardware and Systems (HAS 2018)

Il est à noter que l'équipe travaille actuellement sur la rédaction d'un article pour la revue « IEEE transactions on dependable and secure computing ».

2.2.2.3. Dissémination

Le projet a été présenté lors de colloques du GDR SoC-SiP

- "Implémentation matérielle de moniteurs sur un SoPC". Colloque national du GDR SOC-SIP 2016.
- "Evaluation d'un dispositif matériel de détection d'erreurs sur un SoPC par injection de fautes". Colloque national du GDR SOC-SIP 2018

2.2.2.4. Equipement et ressourcement

Ce projet a principalement permis le financement de la thèse de doctorat de Dimitry Solet.

Ce projet a vu l'implication de 6 étudiants de la formation ETN de Polytech Nantes pour les développements techniques :

- 2 projets en 2017 ayant pour sujet "Algorithme de contrôle d'un drone autonome sur cible MPSoC" et "Support de Trampoline par Ardupilot sur PixHawk" ;
- Et en 2019, un dernier projet "Algorithme et langage de contrôle de drone autonome".

Le projet RFI WiSE SPARTES a aussi permis l'achat des équipements suivants :

- Un drone de tests avec une carte PixHawk ;
- Cartes SmartFusion 2 et contrôleur de vol ArduPilot ;
- PC de développement.